

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-116223

(43)Date of publication of application : 07.05.1996

(51)Int.Cl.

H03F 3/45

(21)Application number : 06-234903

(71)Applicant : IND TECHNOL RES INST

(22)Date of filing : 29.09.1994

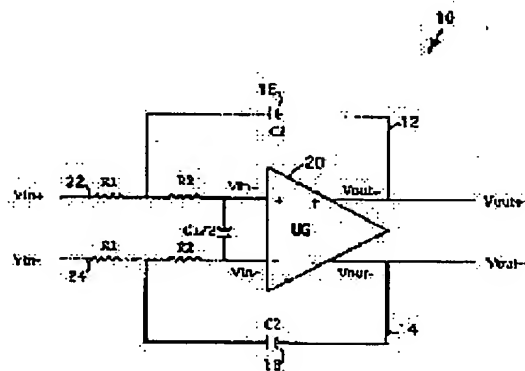
(72)Inventor : CHORUN-KUAN WAN
CHENG-I HUANG
PO CHIN FAN
YUU DIAAN WAN

(54) POSITIVE FEEDBACK TYPE BIPOLAR JUNCTION TRANSISTOR BIQUAD FILTER BASED ON COMPLETELY DIFFERENTIAL NON-OPERATIONAL AMPLIFIER

(57)Abstract:

PURPOSE: To provide a BJT biquad filter based on a completely differential non-operational amplifier suitable for the application of a high band width with improved power suppression rate and dynamic range.

CONSTITUTION: This biquad filter is composed of a unit gain follower for receiving positive and negative differential input signals and generating positive and negative differential output signals, a first positive feedback path 12 for connecting positive output signals to positive input signals and a second positive feedback path 14 for connecting negative output signals to negative input signals. The first positive feedback path 12 and the second positive feedback path 14 are respectively provided with first and second capacitors 16 and 18 serially connected there and the first and second capacitors 16 and 18 are practically same capacitance. Further, the unit gain follower 20 is composed of plural bipolar NPN type devices and resistors connected between a higher common DC voltage and a lower common DC voltage through a fixed DC current source I_{dc} .



LEGAL STATUS

[Date of request for examination] 29.09.1994

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2809994

[Date of registration] 31.07.1998

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-116223

(43) 公開日 平成8年(1996)5月7日

(51) Int.Cl.⁶

H 0 3 F 3/45

識別記号

B

庁内整理番号

F I

技術表示箇所

審査請求 有 請求項の数10 O L (全 8 頁)

(21) 出願番号 特願平6-234903

(22) 出願日 平成6年(1994)9月29日

(71) 出願人 390023582

財団法人工業技術研究院

台湾新竹縣竹東鎮中興路四段195號

(72) 発明者 チョルン・クアン ワン

台湾 タイペイ ベイートウ・ディストリ
クト チェン・ミン・ロード レーン235
ナンバー4

(72) 発明者 チェン・イ フアン

台湾 チャンファ ユアンリン チュン・
シャン・ロード セク2 ナンバー39

(74) 代理人 弁理士 伊東 忠彦 (外1名)

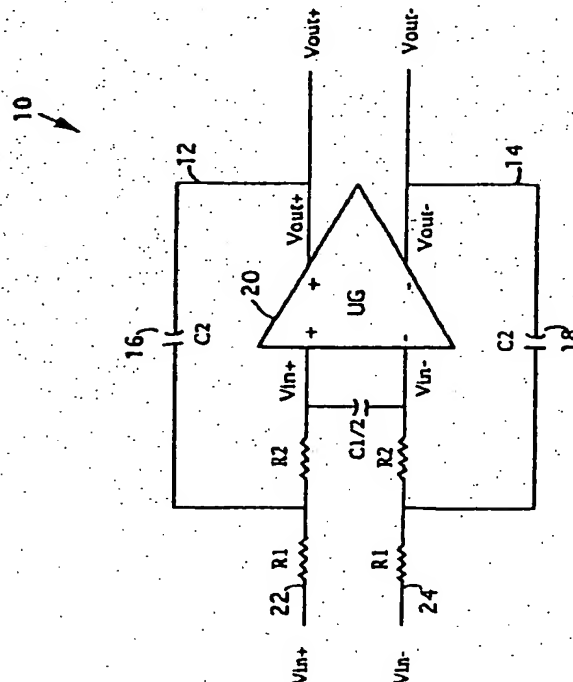
最終頁に続く

(54) 【発明の名称】 完全に差動的な非演算増幅器に基づく正帰還形のバイポーラ接合形トランジスタバイクワッドフィルタ

(57) 【要約】

【目的】 本発明は高い帯域幅の応用に適し、電源抑制率とダイナミックレンジとが改善された完全に差動的な非演算増幅器に基づく BJT バイクワッドフィルタの提供を目的とする。

【構成】 本発明のバイクワッドフィルタは、正及び負の差動入力信号を受け、正及び負の差動出力信号を発生する単位利得フォロワと、正の出力信号を正の入力信号に接続する第1の正帰還路と、負の出力信号を負の入力信号に接続する第2の正帰還路とよりなる。第1の正帰還路及び第2の正帰還路はそこに直列に接続された第1及び第2のキャパシタを夫々に含み、第1及び第2のキャパシタは実質的に同じ容量である。さらに、単位利得フォロワは、一定の直流電流源 I_{dc} を介して高い方の共通直流電圧と低い方の共通直流電圧の間に接続された複数のバイポーラ NPN 形装置と抵抗器とよりなる。



【特許請求の範囲】

【請求項1】 正及び負の差動入力信号を受け、正及び負の差動出力信号を発生する単位利得フォロワと；該正の出力信号を該正の入力信号に接続する第1の正帰還路と、該負の出力信号を該負の入力信号に接続する第2の正帰還路とよりなり、

該第1の正帰還路はそこに直列に接続された第1のキャパシタを含み、該第2の正帰還路はそこに直列に接続された第2のキャパシタを含み、ここで、該第1及び該第2のキャパシタは実質的に同じ容量である、完全に差動的な非演算増幅器に基づくバイポーラ接合形トランジスタ(BJT)バイクワッドフィルタ。

【請求項2】 前記単位利得フォロワは一定の直流電流源を介して共通の高い方の直流電圧と共通の低い方の直流電圧の間に接続された複数のバイポーラNPN形装置と抵抗とを更に有する請求項1記載のBJTバイクワッドフィルタ。

【請求項3】 前記単位利得フォロワは：前記正及び負の入力信号の電圧レベルを受け、シフトする入力電圧シフト段と；該入力電圧シフト段からの該シフトされた電圧を正及び負の電流出力に変換する相互コンダクタンス段と；正及び負のカスコード化された電流出力を発生するために該電流出力の帯域幅に応じて該正及び負の電流出力を受け処理するカスコード段と；正及び負の負荷電圧を発生するために該カスコード化された電流出力を受けける負荷段と；正及び負のシフトされた出力電圧を発生するために該負荷電圧を受けシフトする出力電圧シフト段と；前記バイクワッドフィルタに低い出力インピーダンスを与えるために該出力電圧シフト段から該シフトされた出力電圧を受け、正及び負の出力電圧を発生する出力バッファ段とよりなる完全に差動的なフォロワである、請求項1記載のBJTバイクワッドフィルタ。

【請求項4】 前記相互コンダクタンス段は共通ベースNPN形装置対よりなる前記カスコード段をエミッタ結合対する共通エミッタNPN形装置対よりなる請求項3記載のBJTバイクワッドフィルタ。

【請求項5】 前記相互コンダクタンス段は、 $2R_E$ の抵抗値を有し、前記共通エミッタNPN形装置の前記共通エミッタを接続するエミッタ抵抗よりなり；前記負荷段は、その各々が R_L の抵抗値を有し、各々が前記高い方の共通電圧と前記カスコード段の前記共通ベースNPN形装置のコレクタとの間に接続された抵抗対よりなり；該抵抗値 R_E は実質的に該抵抗値 R_L と同じ値であり、それにより、前記単位利得フォロワの利得の値は実質的に1である、請求項4記載のBJTバイクワッドフィルタ。

【請求項6】 前記入力電圧シフト段は共通コレクター共通エミッタNPN形装置対よりなり、ここで、該共通コレクタは前記高い方の共通電圧に接続され、該共通エミッタは前記低い方の共通電圧に接続され；前記正及び

負の差動入力信号は各々該共通コレクター共通エミッタNPN形装置の一方のエミッタにより受けられ、ここで、前記シフトされた入力電圧の各々は、前記相互コンダクタンス段のNPN形装置の各々のベースに入力する該共通コレクター共通エミッタNPN形装置の各々のエミッタから発生される、請求項5記載のBJTバイクワッドフィルタ。

【請求項7】 前記出力バッファ段は前記低い方の直流電圧に接続された共通エミッタを有する共通エミッタNPN形装置対よりなり；前記出力電圧シフト段は前記高い方の直流電圧に接続された共通コレクタを有する共通コレクタNPN形装置対よりなり；該出力電圧シフト段の該共通NPN形装置対の各々は、該出力電圧シフト段の該共通コレクタNPN形装置対の一方のエミッタフォロワである、請求項6記載のBJTバイクワッドフィルタ。

【請求項8】 前記負荷段の前記抵抗対の各々は、前記高い方の共通直流電圧と前記出力電圧シフト段の前記共通コレクタNPN形装置の各々のベースの間に並列に接続されている請求項7記載のBJTバイクワッドフィルタ。

【請求項9】 前記正及び負の差動出力信号の各々は、前記出力バッファ段の前記共通エミッタNPN形装置対の各々のエミッタから発生される請求項8記載のBJTバイクワッドフィルタ。

【請求項10】 正及び負の差動入力信号を受け、正及び負の差動出力信号を発生する単位利得フォロワと；該正の出力信号を該正の入力信号に接続する第1の正帰還路及び該負の出力信号を該負の入力信号に接続する第2の正帰還路とよりなり、

該第1の正帰還路はそこに直列に接続された第1のキャパシタを含み、該第2の正帰還路はそこに直列に接続された第2のキャパシタを含み、ここで該第1及び該第2のキャパシタは実質的に同じ容量であり；該単位利得フォロワは、一定の直流電流源を介して高い方の共通直流電圧と低い方の共通直流電圧の間に接続された複数のバイポーラNPN形装置と抵抗とを更に有し；該単位利得フォロワは：該正及び負の入力信号の電圧レベルを受けシフトする入力電圧シフト段と；該入力電圧シフト段からの該シフトされた電圧を正及び負の電流出力に変換する相互コンダクタンス段と；正及び負のカスコード化された電流出力を発生するために該電流出力の帯域幅に応じて該正及び負の電流出力を受け処理するカスコード段と；正及び負の負荷電圧を発生するために該カスコード化された電流出力を受けける負荷段と；正及び負のシフトされた出力電圧を発生するために該負荷電圧を受けシフトする出力電圧シフト段と；バイクワッドフィルタに低い出力インピーダンスを与えるために該出力電圧シフト段から該シフトされた出力電圧を受け、正及び負の出力電圧を発生する出力バッファ段とよりさらになる完全に

差動的なフォロワである、完全に差動的な非演算増幅器に基づくバイポーラ接合形トランジスタ(BJT)バイクワッドフィルタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、一般的に完全に差動的な非演算増幅器に基づく単位利得フィルタに関する。本発明は、特に、カスコード形の広帯域単位利得バッファを使用する完全に差動的な正帰還形のバイポーラ接合形トランジスタ(BJT)バイクワッドフィルタに関する。

【0002】

【従来の技術】 近年の光集積回路(OLCs)及び光通信システムの発達のため、ファイバ分散データインタフェース(FDDI)及び同期式光ネットワーク(SONET)のような広帯域通信システムは、このシステムに高帯域性を実現するためにフィルタ回路設計、特に、フロントエンドのアナログ利用に使用されるフィルタに多大な要求を課す。この種の通信システムのデータ転送レートは、100メガビット/秒乃至200メガビット/秒の範囲、或いは、それ以上に及ぶので、アナログ形フロントエンドに使用されるフィルタも高速動作を実現する必要がある。従って、かかるフィルタの設計仕様には、一般的に、高速、低電力消費、広いダイナミックレンジ、高いノイズ抑制率のような性能の要求と、大規模集積化及びパッケージングとが含まれる。

【0003】 従来の形のフィルタの多くは、上記の要求をもはや満足し得ない。従来技術に使用される一つの通常のフィルタは、一般的に抵抗と、キャパシタと、インダクタとからなる回路素子を含む受動フィルタ、即ち、R-L-Cフィルタである。この形のフィルタは、回路の実装空間が大きく、インダクタンス回路は大規模集積化IC上に設計、製造するのに適していないという不利点のために、現在の多くの電子応用にはもはや適合しない。

【0004】 従来技術に通常使用される別の形のフィルタは、演算増幅器に基づく能動フィルタである。この形のフィルタは、負又は正帰還形、シングルエンド形又は完全な差動形のような設計因子を実現するために多様な形式に構成することが可能である。この形のフィルタの構成は、ノイズ抑制率の増大、或いは、電力消費の低減の要求に対し単位利得フォロワとしてフィルタを利用するような種々の設計の目的を達成するために変更される。しかし、この形のフィルタは演算増幅器に基づくフィルタの動作速度の制限のため広帯域通信応用には適さない。

【0005】 従来技術の完全な差動演算増幅器に基づくフィルタの一つの具体例は、2次のシングルエンド形演算増幅器フィルタ、即ち、一般的にSallen-Keyフィルタとして周知のフィルタであり、単位利得を実現するため

に使用される。しかし、この形のフィルタはノイズ抑制性が不足し、ダイナミックレンジが狭いために実現されることはない。

【0006】 ウォン他は、発明の名称が「演算増幅器を利用する完全な差動フォロワ」である(1992年5月26日に発行された)米国特許第5,117,199号明細書に単位利得を有する完全な差動増幅器を開示する。この増幅器は2対の差動入力を受ける差動入力段よりなる。一方の対は入力信号を受ける、他方の対は出力段から差動帰還を受けるよう内部的に接続される。かかる2対の差動入力とは同相帰還信号と結合され、出力にカスコードされる。この増幅器はその差動帰還に起因して自動内部ノイズ除去を実現する。この回路の構築法はCMOS又はBiCMOS技術を使用し、10MHzまでの高い動作周波数に適用しても良いことが開示されている。演算増幅器に基づく単位利得フィルタの一般的な特性に起因して、ウォン他により開示された方法は周波数応答が遅い。従って、これにより実現し得る帯域幅は、現在のデータ処理、伝送、及び通信応用に必要とされるより高い周波数レンジで動作すべきフィルタに適用するのに十分ではない。

【0007】 非演算増幅器に基づく能動フィルタがチャン・ユー・ウー他により開示されている(「非演算増幅器に基づく単位利得増幅器を使用する高周波数CMOSスイッチキャパシタフィルタの設計方法」、IEEE固体回路学会誌、第26巻、第10号、1991年10月)。完全に差動的な非演算増幅器に基づく単位利得増幅器が開示されている。開示されたフィルタは通常の単位利得を有するが、帯域幅を拡大し、安定化挙動を改善し、チップ面積を縮小し、トランジスタ数を削減するので、高利得の演算増幅器と単位利得帰還とを伴うスイッチキャパシタ(SC)フィルタに使用される増幅器である単位利得バッファ(UCBs)の代わりに使用し得る。さらに、非直線性寄生容量とプロセス変動とにより生ずる誤差はフィルタの利得の調整により補償されるので、上記のフィルタは、小さな寄生誤差を伴うかなり高い周波数レンジで動作されるスイッチキャパシタフィルタ(SCFs)に使用することが可能である。

【0008】 しかし、ウー他により開示された如く、このフィルタの制限はフィルタの精度がCMOS装置間の不整合により影響を受けることである。その上、CMOS技術が適用される場合に、フィルタの動作速度は寄生容量により依然制限される。CMOSTランジスタのソース・ドレイン間に一般的に存在する寄生容量は、典型的には数ピコファラッドのオーダーである。この寄生容量のために、上記のフィルタは100MHzを超えるレンジの周波数レベルを実現し得ない。

【0009】 従来技術により提供される方法は、帯域幅の制限及び装置の不整合を含む幾つかの大きな問題点によってさらに制限される。その上、より高い帯域幅の動

作を実現するために、外付けの装置が屢々利用され、これにより、集積化できないという問題と、集積回路(IC)の実装における寸法の制限とが生じる、かかる問題点は、システムの性能、電力の制御、コスト及び信頼性に悪影響を与える。

【0010】従って、非演算増幅器に基づくフィルタと、広帯域通信システム設計におけるその応用の技術において、高帯域幅の応用に適し、電源抑制率とダイナミックレンジとが改善された完全に差動的なフィルタが依然として必要とされている。

【0011】

【発明が解決しようとする課題】従って、本発明は、従来技術において直面する上記の問題点を解決するために完全に差動的な非演算増幅器に基づく正帰還形のBJTバイクワッドフィルタの提供を目的とする。特に、本発明は、周波数適用のための外付け部品を必要としない完全に差動的な非演算増幅器に基づく正帰還形のBJTバイクワッドフィルタの提供を目的とする。

【0012】本発明の他の目的は、その利得の値が1に非常に近くなるよう精度良く調整することが可能な負荷と負帰還抵抗との比により発生される、完全に差動的な非演算増幅器に基づく正帰還形のBJTバイクワッドフィルタを提供することである。本発明の他の目的は、共通エミッタ及び共通ベース段がミラー寄生容量を低減するために使用される、完全に差動的な非演算増幅器に基づく正帰還形のBJTバイクワッドフィルタを提供することである。

【0013】本発明の他の目的は、フィルタの動作速度を制限する回路の極が高い帯域幅の通信ネットワークにおける応用に適当な非常に高い周波数に設定される、完全に差動的な非演算増幅器に基づく正帰還形のBJTバイクワッドフィルタを提供することである。

【0014】

【課題を解決するための手段】簡潔に述べると、本発明はその望ましい実施例において、完全に差動的な非演算増幅器に基づくBJTバイクワッドフィルタよりなる。バイクワッドフィルタは、正及び負の差動入力信号を受け、正及び負の差動出力信号を発生する単位利得フォロワよりなる。バイクワッドフィルタは正の出力信号を正の入力信号に接続する第1の正帰還路と、負の出力信号を負の入力信号に接続する第2の正帰還路をさらに含む。第1の正帰還路はそこに直列に接続された第1のキャパシタを含み、第2の正帰還路はそこに直列に接続された第2のキャパシタを含み、ここで、第1及び第2のキャパシタは実質的に同じ容量である。単位利得フォロワは、一定の直流電流源 I_{dc} を介して高い方の共通直流電圧と低い方の共通直流電圧の間に接続された複数のバイポーラNPN形装置と抵抗とよりなる。単位利得フォロワは、正及び負の入力信号の電圧レベルを受け、シフトする入力電圧シフト段よりさらになる完全に差動的

なフォロワである。単位利得フォロワは、入力電圧シフト段からのシフトされた電圧を正及び負の電流出力に変換する相互コンダクタンス段をさらに含む。単位利得フォロワは、正及び負のカスコード化された電流出力を発生するために電流出力の帯域幅に応じて上記の正及び負の電流出力を受け処理するカスコード段をさらに含む。単位利得フォロワは、正及び負の負荷電圧を発生するためにカスコード化された電流出力を受ける負荷段をさらに有する。単位利得フォロワは、正及び負のシフトされた出力電圧を発生するために該負荷電圧を受けてシフトする出力電圧シフト段をさらに含む。単位利得フォロワは、バイクワッドフィルタに低い出力インピーダンスを与えるために出力電圧シフト段からシフトされた出力電圧を受け、正及び負の出力電圧を発生する出力バッファ段をさらに含む。

【0015】

【実施例】本発明の上記及び他の目的と利点は、種々の図面に示した望ましい実施例についての以下の詳細な説明により当業者にとって明らかになるであろう。図1は、本発明の回路構成を表わす完全に差動的な非演算増幅器に基づく正帰還形のBJTバイクワッドフィルタ10を示し、本明細書ではこれをバイクワッドフィルタ10とも呼ぶ。完全に差動的な正帰還形のバイクワッドフィルタ10は、一般的に、差動入力対、即ち、 V_{in+} 及び V_{in-} と、差動出力対、即ち、 V_{out+} 及び V_{out-} を伴う単位利得フォロワ20よりなる。差動正帰還は、正帰還路12及び14を介して、 V_{out+} から V_{in+} と、 V_{out-} から V_{in-} とに夫々に設けられ、ここで、各々の帰還路はそこに直列に接続され、実質的に同じ容量を有するキャパシタ16及び18を有する。入力路対の各々、即ち、入力路22及び24は、抵抗対、即ち、帰還路12及び14と入力路22及び24との接続点の前にある $R1$ と、別の抵抗対、即ち、帰還路12及び14と入力路22及び24との接続点の後にある $R2$ とをさらに有する。入力路22と24の間のキャパシタ $C1/2$ は単位利得フォロワ20の入力端における寄生容量を表わす。本発明により開示される如く、この完全に差動的な正帰還バイクワッドフィルタ10の回路構成は、このバイクワッドフィルタに高い入力インピーダンスと低い出力インピーダンスを与える。この回路構成の利点は、この回路構成が外付けの構成部品を必要としないので占有面積の小さなフィルタで高い周波数の応用の実現が可能であり、かつ、単位利得フォロワ20の回路の極は非常に高い周波数に設定されるので、このフィルタを広帯域通信ネットワークに使用し得ることである。

【0016】本発明の比類のない特徴の一つは、バイクワッドフィルタ10として示す完全に差動的な非増幅器に基づく構成をSallen-Key形のフィルタに実現することにある。Sallen-Key形フィルタの動作原理は、M. E. バン・バルケンバーク著の「アナログフィルタ設計」の

第6章に開示されている。この章の内容をここに参考として引用する。完全に差動的な非増幅器に基づく構成を利用することにより、従来のSallen-Key形フィルタの主要な問題、即ち、ノイズ抑制レンジにおける低い性能に起因するダイナミックレンジの狭さが解消される。

【0017】図2は完全に差動的な正帰還形のバイポーラ接合形トランジスタ(BJT) バイクウッドフィルタ10の回路図を示し、ここで、その設計には高速動作を実現するためにバイポーラ技術を利用する。全体の回路はバイポーラNPN形装置を利用し、1つのチップ上に集積化して製造、或いは、他のICの一部に含めて集積化することが可能である。装置202は、 V_{DD} に接続されたコレクタと、負の入力 V_{in-} に接続されたベースと、装置216のベースと電流源 I_{dc} を介して V_{SS} とに接続されたエミッタとを有する。装置204は、 V_{DD} に接続されたコレクタと、正の入力 V_{in+} に接続されたベースと、装置210のベースと電流源 I_{dc} を介して V_{SS} とに接続されたエミッタとを有する。装置208は抵抗206を介して V_{DD} に接続されるコレクタを有する。装置208は、装置214のベースに接続されたベースと、装置210のコレクタに接続されたエミッタとを有する。装置210は、上述の如く接続されたコレクタ及びベースと、電流源 I_{dc} を介して V_{SS} に接続され、抵抗218を介して装置216のエミッタに接続されるエミッタとを有する。装置214は、抵抗212を介して V_{DD} に接続され、装置224のベースに接続されるコレクタを有する。装置214は上述の如く接続されるベースを有する。装置214は装置216のコレクタに接続されるエミッタを有する。装置216は、上述の如く接続されたコレクタ及びベースと、 V_{SS} と上述の如く抵抗218を介して装置210のエミッタに接続されたエミッタとを有する。

【0018】装置210及び216と、抵抗218との接続は、装置210のエミッタが抵抗値 R_E を伴う抵抗218-1(図示せず)に接続され、装置216のエミッタが抵抗値 R_E を伴う抵抗218-2(図示せず)に接続され、抵抗218-1と218-2が相互に接続されて電流源 I_{dc} を介して V_{SS} に接続するような別の構成でも良い。図2に示す第1の望ましい実施例を既に開示しているため、この形の別構成は回路設計の当業者に理解されるので、詳細な説明用の別の図面を用いたこの別の接続例のさらに詳細な説明は行わない。

【0019】装置220は、 V_{DD} に接続されたコレクタと、上述の如く接続されたベースとを有する。装置220は、電流源 I_{dc} を介して V_{SS} と、装置222のベースとに接続されたエミッタを有する。装置222は、 V_{DD} に接続されたコレクタと、上述の如く接続されたベースとを有する。装置222は、電流源 I_{dc} を介して V_{SS} と、負の出力路 V_{out-} とに接続されたエミッタを有する。装置224は、 V_{DD} に接続されたコレクタと、上述

の如く接続されたベースとを有する。装置224は、装置226のベースと、電流源 I_{dc} を介して V_{SS} とに接続されたエミッタを有する。装置226は、 V_{DD} に接続されたコレクタと、上述の如く接続されたベースとを有する。装置226は、電流源 I_{dc} を介して V_{SS} と、正の出力路 V_{out+} とに接続されたエミッタを有する。

【0020】動作中に、回路素子202乃至226は図1に示す単位利得フォロワ20を形成する。これは、高い入力インピーダンスと、低い出力インピーダンスとを有する完全に差動的な単位利得フォロワである。装置204と、装置210と、抵抗218との組合せは、その値が $\beta \times \beta \times R_E$ である高い入力インピーダンスを発生し、ここで、 β は装置204及び210のインピーダンスであり、 $2R_E$ は抵抗218の抵抗値である。装置202及び216と、抵抗218は、装置204及び210と、抵抗218とにより形成される回路と共にして完全に差動的な回路結合を形成する。一方、装置210及び216は、装置208及び214に対しエミッタ接続された対を形成し、ミラー寄生容量を除去する目的を実現し、バイクウッドフィルタ10の実現可能な帯域幅を増大するためにカスコード、又は、共通エミッタ及び共通ベース段になるよう組み合わせられる。単位利得フォロワ回路内の装置206及び212の回路素子と、抵抗218との組合せにより発生される単位利得は、抵抗値の値を $R_E = R_L$ にすることにより得られる。装置220及び222は、出力電圧を所望の値に調整するために使用し得るエミッタフォロワであり、その値が R_L / β^2 である低出力インピーダンスを発生する。装置224及び226は、装置220及び222に対し差動的な組合せを形成し、単位利得フォロワを完全に差動的な単位利得フォロワ200に形成する。

【0021】図3は完全に差動的な正帰還形単位利得フォロワ20の内部構成のブロック図である。差動入力対、即ち、 V_{in+} 及び V_{in-} は、次の段の動作電圧に整合するよう電圧レベルをシフトするための装置202及び204よりなるレベルシフト回路30に最初に接続される。このレベルシフトは、装置202及び204のベース・エミッタ間の電圧降下により実現される。シフトされた電圧、即ち、 V_{1+} 及び V_{1-} は、シフトされた電圧 V_{1+} 及び V_{1-} を2つの対応する出力電流、即ち、 I_{1+} 及び I_{1-} に変換する装置210及び216よりなる相互コンダクタンス段40により処理される。変換された電流 I_{1+} 及び I_{1-} は、次いで、信号の帯域幅を増大させる装置208及び214よりなるカスコード段50によって受けられる。カスコード段50の出力電流 I_{2+} 及び I_{2-} は、2つの負荷電圧 V_{2+} 及び V_{2-} を発生する1対の負荷段、即ち、装置206及び212よりなる負荷段60に結合され、ここで、信号の利得は装置218の回路特性により定まる。負荷電圧 V_{2+} 及び V_{2-} は、別のレベルシフト段、即ち、次の段の回路(図示せず)に整合す

る電圧をさらに微妙に調整する装置220及び224よりなる出力シフト段70によってさらにシフトされる。出力シフト段70からのシフトされた出力電圧 V_{3+} 及び V_{3-} は、出力レベルシフト段70と協働して出力電圧 V_{out+} 及び V_{out-} を発生し、バイクウッドフィルタ10に低い出力インピーダンスを与える装置222及び226よりなる出力低インピーダンスバッファ80を介してさらに送出される。

【0022】図2及び3を参照するに、相互コンダクタンス段40は、共通エミッタNPN形装置対210及び216よりなり、装置対210及び216が共通ベースNPN形装置対208及び214よりなるカスコード段50をエミッタ結合対する。相互コンダクタンス段40は、その抵抗値が $2R_E$ であり、共通エミッタNPN形装置対210及び216の共通エミッタを接続するエミッタ抵抗218よりなる。負荷段60は、その各々の抵抗値は R_L であり、各々が高い方の共通電圧と、カスコード段50の共通ベースNPN形装置対208及び214のコレクタとの間に接続された抵抗対212及び206よりなる。その抵抗値 R_E は抵抗値 R_L と実質的に同じ値であり、これにより、単位利得フォロワの利得の値は実質的に1である。入力電圧シフト段30は、共通コレクタ-共通エミッタNPN形装置対202及び204よりなり、ここで、共通コレクタは高い方の共通電圧に接続され、共通エミッタは低い方の共通電圧に接続される。正及び負の差動入力信号は各々が共通コレクタ-共通エミッタNPN形装置対202及び204の一方により受けられ、ここで、各々のシフトされた入力電圧は、相互コンダクタンス段40のNPN形装置対210及び216の各々のベースに入力する共通コレクタ共通エミッタNPN形装置対202及び204の各々のエミッタから発生される。出力バッファ段80は、共通エミッタが低い方の直流電圧に接続された共通エミッタNPN形装置対222及び226よりなる。出力電圧シフト段70は、共通コレクタが高い方の直流電圧に接続された共通コレクタNPN形装置対220及び224よりなる。出力バッファ段80の共通NPN形装置対222及び226の各々は、出力電圧シフト段70の共通コレクタNPN形装置対220及び224の一方のエミッタフォロワである。負荷段60の抵抗対206及び212の各々は、高い方の共通直流電圧と、出力電圧シフト段70の共通コレクタNPN形装置対220及び224の各々のベースとの間に並列に接続される。正及び負の差動出力信号の各々は、出力バッファ段80の共通エミッタNPN形装置対222及び226の各々のエミッタから発生される。

【0023】従って、上記の完全に差動的なフィルタ10内の単位利得フォロワ200を利用することにより、広帯域かつ高周波数の応用に組み込み得る本発明による装置を開示する。帯域幅の制限と、ノイズ抑制率の不足と、入出力インピーダンスの不整合とを含む従来技術で

直面する問題点は、本発明により解決される。広帯域動作レンジを得るための上記のカスコード単位利得フィルタ10の回路技術には幾つかの利点がある。フィルタの利得は、負荷抵抗と負帰還抵抗との比、即ち、 R_L/R_E を使用することにより微妙に調整することが可能である。 R_L と R_E の抵抗値を調整することにより、単位値1に非常に近い利得が得られる。ミラー効果により生ずる寄生容量は、共通ベースを使用することにより除去される。フィルタの動作速度を制限する回路の極は、非常に高い周波数に設定される。かかる極は、典型的なバイポーラ接合形トランジスタ(BJT)に対しおよそ7GHzであるトランジスタの単位利得周波数、或いは、以下の式、即ち、

$$f_t = 1 / (R_{out} C_{out})$$

により負荷抵抗から発生させることが可能であり、ここで、 f_t は負荷抵抗 R_{out} 及び出力キャパシタ C_{out} から発生される一つの極の周波数の値である。さらに、出力抵抗とキャパシタを適切に選ぶことにより、非常に高い周波数を極 f_t の周波数として発生させ得る。かくして、回路設計者は、このフィルタが提供されるべき通信又はデジタル信号処理システムに対し最適的に調整し得る広帯域単位利得BJTバイクウッドフィルタの設計に多大な柔軟性が得られる。

【0024】現在の望ましい実施例に関して本発明の説明を行っているが、かかる実施例の説明は本発明を限定するものではないことを理解する必要がある。上記の開示に基づいて種々の代替と変形が当業者にとって疑いなく明らかとなるであろう。従って、特許請求の範囲の記載は本発明の真の精神と目的の範囲内において全ての代替と変形を含むことが理解されるべきである。

【0025】

【発明の効果】本発明の完全に差動的な非演算増幅器に基づく正帰還形のBJTバイクウッドフィルタによれば、周波数適用のための外付け部品を必要とせず、精度良く調整することが可能な負荷と負帰還抵抗との比により1に非常に近い値の利得が発生され、共通エミッタ及び共通ベース段がミラー寄生容量を低減し、フィルタの動作速度を制限する回路の極が高帯域幅の通信ネットワークにおける応用に適当な非常に高い周波数に設定される利点がある。

【図面の簡単な説明】

【図1】本発明による完全に差動的な非演算増幅器に基づく正帰還形のBJTバイクウッドフィルタの回路構成の略構成図である。

【図2】本発明による完全に差動的な非演算増幅器に基づく正帰還形のBJTバイクウッドフィルタの機能的なブロック図である。

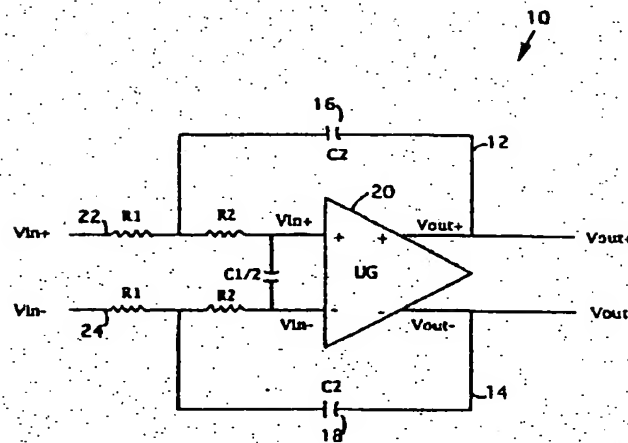
【図3】本発明の望ましい実施例による完全に差動的な非演算増幅器に基づく正帰還形のBJTバイクウッドフィルタの回路構成図である。

【符号の説明】

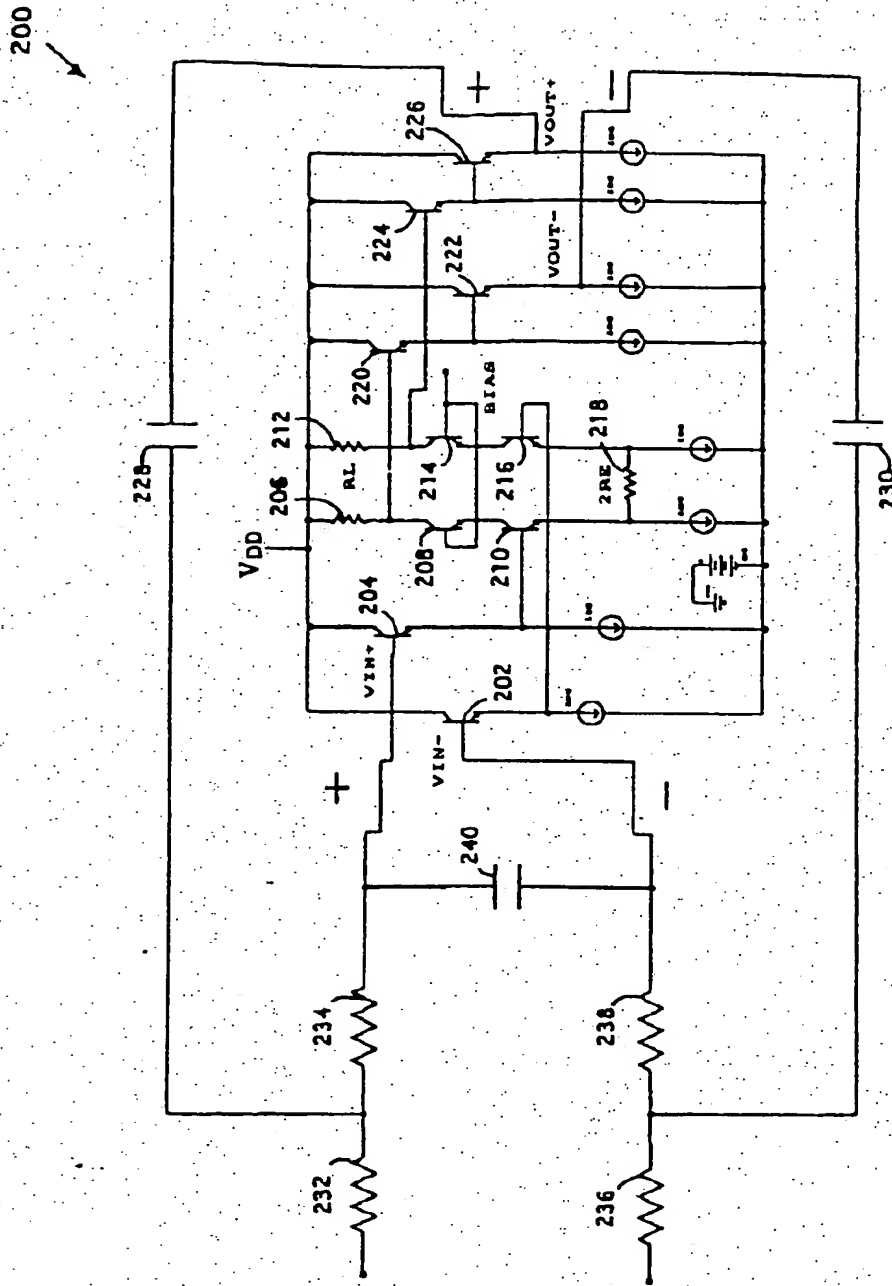
10 バイクワッドフィルタ
 12, 14 正帰還路
 16, 18 キャパシタ
 20, 200 単位利得フォロワ
 22, 24 入力路
 30 レベルシフト回路
 40 相互コンダクタンス段
 50 カスコード段

60 負荷段
 70 出力シフト段
 80 出力低インピーダンスバッファ
 202, 204, 208, 210, 214, 216, 220, 222, 224, 226 装置
 206, 212, 218 抵抗
 R1, R2 抵抗対
 C1/2 寄生容量

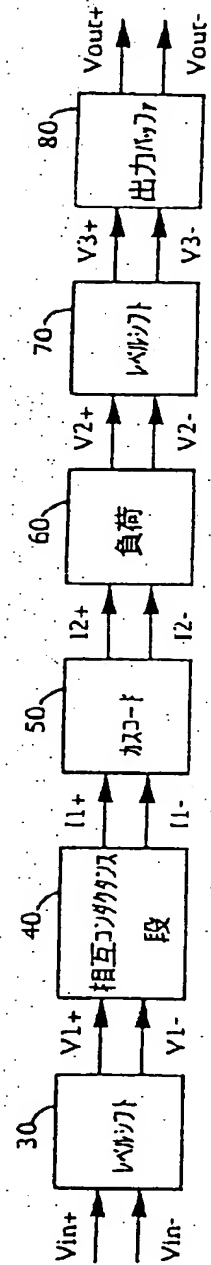
【図1】



【図2】



【図3】



フロントページの続き

(72) 発明者 ポー・チウ・ファン
 台湾 タイペイ ペイニン・ロード レ
 ーン32 ナンバー1 3エフ

(72) 発明者 ユー・ディアン・ワン
 台湾 シンチュ クアシーフー・ロード
 セク1 レーン385 ナンバー11 1エフ